

PAT-NO: **JP360186053A**

DOCUMENT-IDENTIFIER: **JP 60186053 A**

TITLE: **THIN FILM COMPLEMENTARY MOS CIRCUIT**

PUBN-DATE: **September 21, 1985**

INVENTOR-INFORMATION:

NAME

TSUNEKAWA, YOSHIFUMI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO EPSON CORP	N/A

APPL-NO: **JP59042411**

APPL-DATE: **March 6, 1984**

INT-CL (IPC): H01L027/08, H01L029/78

US-CL-CURRENT: 257/351, 257/E27.111

ABSTRACT:

PURPOSE: To microminiaturize a CMOS circuit by forming N type TFT and P type TFT on the same semiconductor to form a thin film CMOS circuit, thereby reducing a transistor interval and connecting a common electrode with only one contact.

CONSTITUTION: A semiconductor layer 12 is formed on an insulating

substrate

11, etched in the suitable shape, and a gate film is formed. Then, after a semiconductor layer is formed, a gate electrode 17 is formed by impurity diffusing or highly conductive material, the source and drain regions of N type

TFT and P type TFT are coupled by ion implanting of an impurity ion beam.

The

source and drain regions are separately formed at the N type and P type TFTs

with the TFT of one side with a resist as a mask. The source and drain regions

are formed on the same semiconductor layer of both the transistors, and particularly in the drain regions are sufficiently approached between the both

transistors in a structure like 13, 14, 15. Then, after an interlayer insulating layer 18 is formed, a contact is formed by a conductive material, thereby forming an inverter.

COPYRIGHT: (C)1985,JPO&Japio

④日本国特許庁(JP) ⑤特許出願公開
⑥公開特許公報(A) 昭60-186053

⑦Int.Cl.⁴
H 01 L 27/08
29/78

識別記号 102
厅内整理番号
6655-5F
8422-5F

⑧公開 昭和60年(1985)9月21日

審査請求 未請求 発明の数 1 (全3頁)

⑨発明の名称 薄膜相補型MOS回路

⑩特 願 昭59-42411
⑪出 願 昭59(1984)3月6日

⑫発明者 恒川吉文 防衛市大和3丁目3番5号 株式会社防衛精工舎内
⑬出願人 株式会社防衛精工舎 東京都新宿区西新宿2丁目4番1号
⑭代理人 弁理士 最上務

明細書

1.発明の名称

薄膜相補型MOS回路

2.特許請求の範囲

N型薄膜トランジスタおよびP型薄膜トランジスタで構成する薄膜相補型MOS回路において、前記N型薄膜トランジスタと前記P型薄膜トランジスタの共通となるソース領域またはドレイン領域を、同一の半導体薄膜中に形成し、かつ唯一のコンタクトホールから共通電極を形成することを、特徴とする薄膜相補型MOS回路。

3.発明の詳細な説明

【技術分野】

本発明は、薄膜トランジスタ（以下「アエ」と記す。）で構成する、薄膜相補型MOS回路（以下「薄膜CMOS回路」と記す。）の共通電極部の構造に関するものである。

【従来技術】

従来のシリコンウエーハに形成する、N型MOSトランジスタおよびP型MOSトランジスタより構成されるMOS回路では、各々のトランジスタを同一ウエーハに形成する際、N型ウエーハへ使用の時はP型ウエルを、P型ウエーハへ使用の時はN型ウエルを形成した後、ウエーハ内のウエル部と、ウエル部以外に、別々にMOSトランジスタを形成し、共通電極領域を、アルミニウム等の導電体材料で接続してMOS構造とするものであって、この方法では、必ずウエーハとは異なるウエーハが必要となり、共通電極領域からの電極の引き出しに2点のコンタクトを必要とする点、およびトランジスタ間隔過少の点で限界が生じ、微細化を進める上で問題があった。

【目的】

本発明はこのような問題点を解決するもので、その目的とするところは、同一半導体に、N型アエおよびP型アエを形成して薄膜CMOS回路を構成することにより、トランジスタ間隔を詰

少させ、かつ共通電極を唯一のコンタクトで取り
CMOS回路の簡素化をはかることがある。

[概要]

N型薄膜トランジスタおよびP型薄膜トランジ
スタで構成する薄膜CMOS回路の共通となる電
極部を、同一半導体に形成し、かつ唯一のコンタ
クトで電極を形成することを、特徴とする。

[実施例]

以下、本発明について、実施例に基づき詳細に
説明する。

説明にあたり、回路として基本回路であるイン
バータを使用する。第1図が従来のシリコンウェ
ーブに作製したインバータを、第2図がこれまで構
成したインバータを示す。第1図(a)および第
2図(a)は、インバータの上図面を、第1図
(b)および第2図(b)は、各々A'およびB'
で切断した底の断面図である。

第1図と第2図で示すCMOS回路の構造上な
らびに作製上の相異点は、薄膜CMOS回路(第
2図(b))では、ウエル2を形成することなく、

同一半導体層1,2に、N型エアエアおよびP型エ
アエのソースおよびドレイン領域を形成してい
ること、さらに、N型トランジスタおよびP型ト
ランジスタの電極の中で、共通となる電極、図中で
は、ドレイン電極とゲート電極であるが、ドレイ
ン電極を、両トランジスタのドレイン領域より、
唯一のコンタクトにより取り出していることであ
る。

統いて薄膜CMOS回路の製造法について、説
明を加える。

絶縁基板1,1上に半導体層1,2を形成し、適当
な形状にエッティングした後ゲート膜を形成する。
次いで、半導体層形成後の不純物基底あるいは高
導電性材料によりゲート電極1,7を形成し、N型エ
アエおよびP型エアエのソースおよびドレイン
領域を不純物イオンビームのイオン打ち込み等で
形成する。ソースおよびドレイン領域は、片側の
エアエを、レジスト等でマスクをして、N型エア
エおよびP型エアエで別々に形成する。第2図4
の如くソースおよびドレイン領域は、両トランジ

スタ共に同一半導体層に形成し、特にドレイン領域は、両トランジスタ間で十分近接させ、13,
14,15のような構造とする。次いで層間絕縁
層1,8を形成した後、導電性材料によりコンタク
トをとり、インバータを形成する。

加えて、第5図は、作製法は前述のとおりであ
るが、共通であるドレイン電極を、イオン打ち込
み等で形成したドレイン領域の、P型およびN型
不純物が混在する重なり領域1,5より取り出した
ことを示す図である。

第4図は、ソース領域およびドレイン領域の形
成法を繰り返して上述と同様に作製する。ソース領域
およびドレイン領域は、不純物注入の際、まずソ
ース領域およびドレイン領域全面にN型不純物ま
たはP型不純物を注入し、N型不純物注入の際は
N型エアエを、P型不純物注入の際はP型エアエ
を、レジスト等でマスクをして、逆の型の不純物
注入を行ない、N型エアエおよびP型エアエのソ
ース領域およびドレイン領域を形成する。

[効果]

以上述べてきたように、本発明によれば、薄膜
CMOS回路のN型エアエおよびP型エアエにお
いて、各々のソース領域およびドレイン領域を、
同一の半導体薄膜中に形成することで、トランジ
スタ間隔の大軒な縮少が可能となり、薄膜CMOS
回路自体の微細化および薄膜CMOS回路を用
いた集積回路の高集積化に多大な効果を有するも
のである。

加えて、第5図に示す如く、ソース領域および
ドレイン領域を、多結晶中あるいは非晶質層中に
形成するので、P型領域とN型領域との接触によ
る、キャリアの流れの制限が、單結晶中に形成す
る際と比較して、緩和され第3図のような電極の
引き出しにより、コンタクトを十分に取ることができる。

第4図では、N型エアエおよびP型エアエの共
通電極領域の境界部の構造が簡略化されるので、
第2図の如く、共通電極1,9の取り出しを、N型
エアエおよびP型エアエに、またがって取り出す

場合には、源の異なる不純物の混在領域がないので共通電極部の縮少が可能となり、さらに進んだ微細化が可能となる。

4図面の簡単な説明

第1図は従来のCMOSインバータの構造を、第2図は、薄膜CMOSインバータを示す。両図とともに(a)が上面図、(b)が断面図である。

第3図は、第2図において、ドレイン電極のコントタクト位置を、ドレインの重なり部より取り出した構造を示す図である。

第4図は、ドレインおよびソース領域の形成方法が異なる薄膜CMOSインバータの構造を示す。

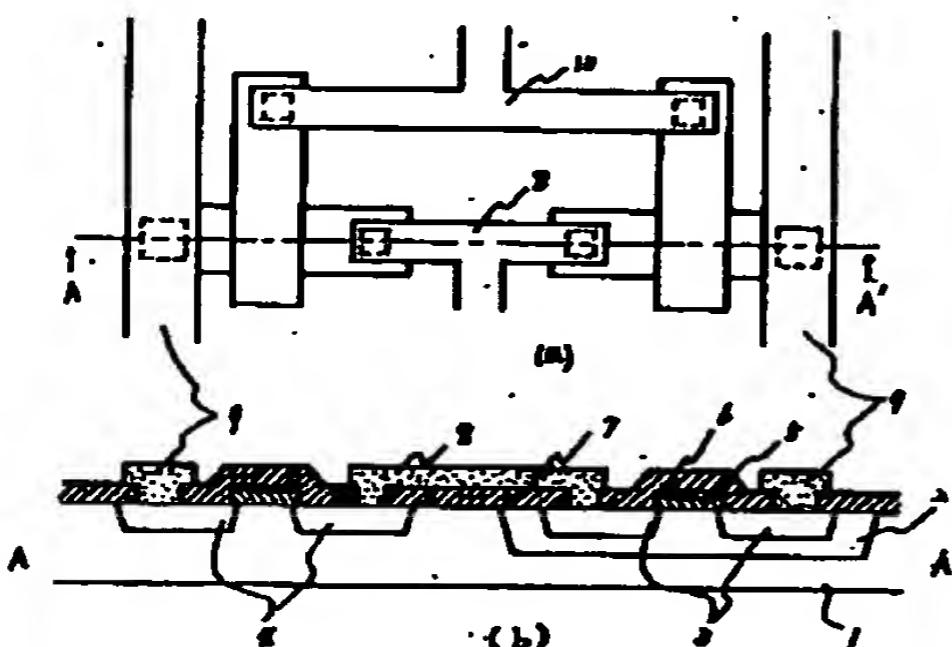
- 1——シリコンウエハ
- 2——ウエル
- 3——ソース(右)およびドレイン(左)領域
- 4——ソース(左)およびドレイン(右)領域
- 5——ゲート膜
- 6——ゲート電極

- 7——絶縁膜
- 8——出力ライン(ドレイン電極)
- 9——電源ライン(ソース電極)
- 10——入力ライン(ゲート電極)
- 11——絶縁基板
- 12——半導体層
- 13——ソース(右)およびドレイン(左)領域
- 14——ソース(左)およびドレイン(右)領域
- 15——ドレインの重なり領域
- 16——ゲート膜
- 17——ゲート電極
- 18——絶縁膜
- 19——出力ライン(ドレイン電極)
- 20——電源ライン(ソース電極)
- 21——入力ライン(ゲート電極)

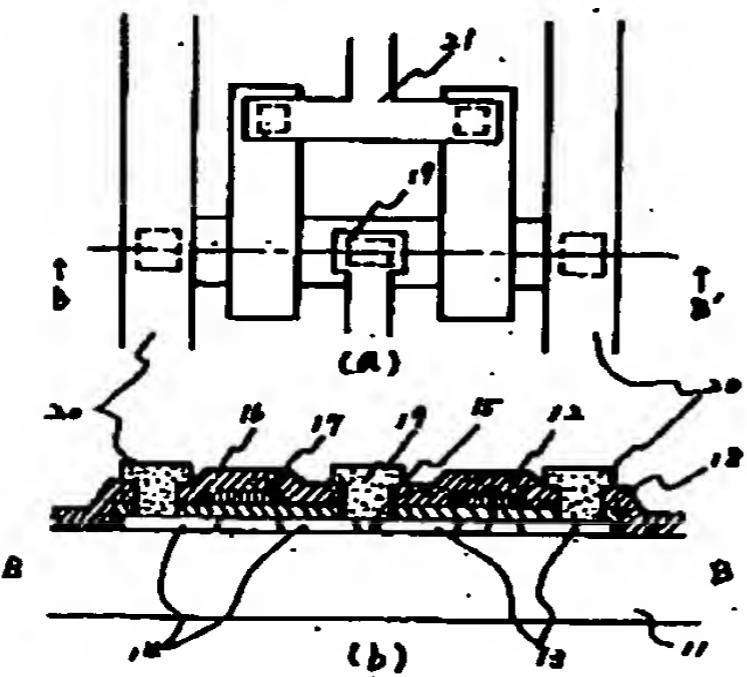
以上

出版人 株式会社藤崎精工舎

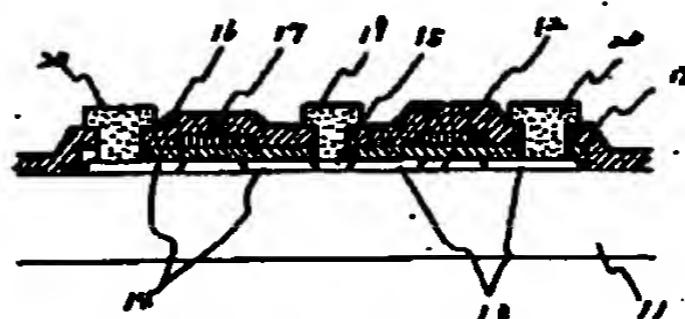
代理人 助理士 緑上 晃



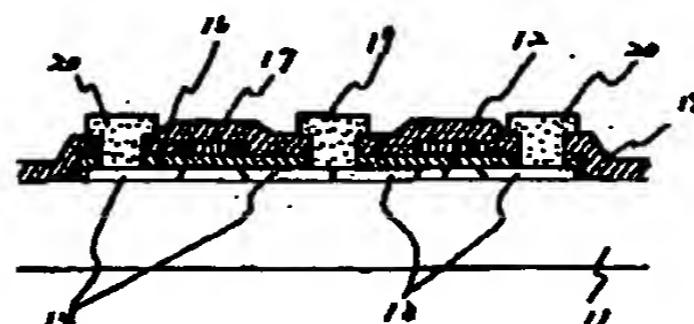
第1図



第2図



第3図



第4図